

(Extracted Translation of References)

Cited Reference 1

Japanese Patent Application Laid Open Publication No. 9-306182

published on Nov. 28, 1997

Japanese Patent Application No. 8-116573

filed on May 10, 1996

Applicant: Sony Corporation

Inventor: Yamagishi, Michio

Title: Non-Volatile Storage Device

This invention relates to a non-volatile multilevel semiconductor memory such as EEPROM or flash EEPROM, having a rewrite unit for rewriting data into a memory cell for the second time when a change in the threshold voltage of a specific transistor is detected .

FIG. 1 is a schematic block diagram of the essential part of a flash EEPROM in accordance with an embodiment of the present invention.

The memory (2) has an array of memory cells (4) each of which consists of a memory transistor provided with a charge storage layer. The threshold voltage of each memory transistor is adjusted by varying the amount of electric charge injected into the charge storage layer. A detector (30) is triggered by a timer (32) to detect the fluctuation of threshold voltage of a specific transistor. A rewrite unit (34) rewrites the data into the memory cell for the second time when fluctuation is detected.

FIG. 4 shows an example of distribution of threshold voltages of a multilevel memory cell in which four allowed states are allocated in the range of possible threshold voltages.

" ΔV_{th} " designates forbidden ranges to be detected by detector 30.

The present invention advantageously enables deterioration compensation of electric charge holding characteristic and to attain high integration and improves reliability of non-volatile storage.

Drawings of Reference 1 (1/1)

FIG. 1

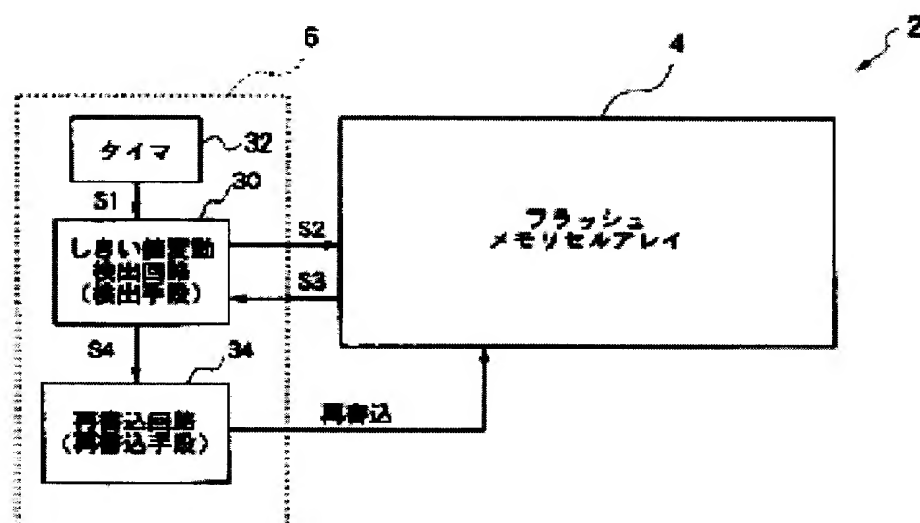
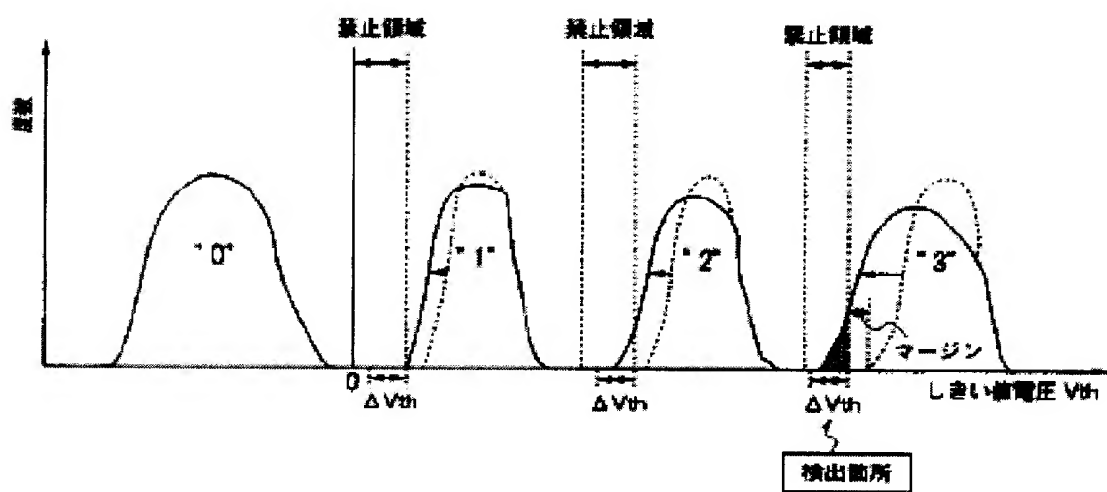


FIG. 4



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306182

(43) 公開日 平成9年(1997)11月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
G 1 1 C	16/04		G 1 1 C	17/00	3 0 8
	16/06				5 1 0 A
H 0 1 L	27/115		H 0 1 L	27/10	4 3 4
	21/8247			29/78	3 7 1
	29/788				

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-116573

(22) 出願日 平成8年(1996)5月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山岸 万千雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

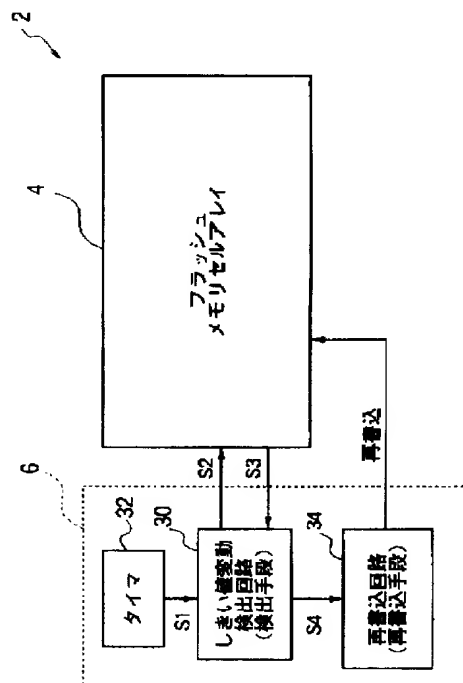
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性記憶装置

(57) 【要約】

【課題】 多値メモリで電荷保持特性の劣化補償を容易にする。

【解決手段】 特定トランジスタ(4を構成するメモリトランジスタやリファレンストランジスタ)のしきい値電圧の変動を検出する検出手段30と、これがしきい値電圧の変動を検出した場合、メモリセル4に対し再度のデータ書き込みを行う再書込手段34とを有する。具体的には、検出手段30により、特定トランジスタについて、そのしきい値電圧の書き込み直後の分布に対し、一方側に所定電圧だけはいれた検出箇所にしきい値電圧を有するか否かを検出させるとよい。また、検出手段30に検出タイミングを付与するタイマ32を設けるとよい。



【特許請求の範囲】

【請求項1】 各メモリセルごとに、電荷蓄積層を備えたメモリトランジスタを有し、電荷蓄積層への注入電荷量を変えてメモリトランジスタのしきい値電圧を調整することで、各メモリセルに書き込み可能なデータを3値以上とした不揮発性記憶装置であって、

特定トランジスタのしきい値電圧の変動を検出する検出手段と、
該検出手段が特定トランジスタのしきい値電圧の変動を検出した場合、メモリセルに対し再度のデータ書き込みを行う再書込手段と、
を有する不揮発性記憶装置。

【請求項2】 前記検出手段は、特定トランジスタについて、そのしきい値電圧の書き込み直後の分布に対し、一方側に所定電圧だけはなれた検出箇所、該検出箇所にしきい値電圧を有するか否かにより、しきい値電圧の変動を検出する請求項1に記載の不揮発性記憶装置。

【請求項3】 前記検出手段に対し、しきい値電圧の変動を検出するタイミングを付与するためのタイマを、更に有する請求項1に記載の不揮発性記憶装置。

【請求項4】 前記電荷蓄積層は、絶縁層である請求項1に記載の不揮発性記憶装置。

【請求項5】 前記電荷蓄積層と半導体基板との間には、トンネル酸化膜を介在させてあり、前記電荷蓄積層に注入してある蓄積電荷は、該トンネル酸化膜中をダイレクトトンネリングで遷移したものである請求項1に記載の不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気的に書き換え可能な半導体メモリ、例えばEEPROMやフラッシュEEPROMなどの不揮発性記憶装置に関する。

【0002】

【従来の技術】 EEPROM、フラッシュEEPROMなどの半導体メモリでは、コントロールゲートと半導体基板との間にフローティングゲートや絶縁膜からなる電荷蓄積層を有して、メモリトランジスタが構成されている。そして、この電荷蓄積層に、一般的には電子を注入することで、データを書き込み、書き込んだメモリトランジスタにおける電子の蓄積状態からの電流を読出すことで、記憶データを判別するようにしている。

【0003】 従って、これら電気的に書き換え可能な不揮発性記憶装置では、データ書き換え後の電荷保持特性を保証することが、製品の信頼性上、非常に重要である。一方、例えばフラッシュEEPROMなどでは、もともとビットごとにしきい値電圧を検証し精密に制御することから、各セルのメモリトランジスタのしきい値電圧を多値化することが容易であり、この種のメモリを多値化して実効的な高集積化を図る動きが、最近になって活発化してきている。

【0004】

【発明が解決しようとする課題】 しかし、この従来の多値化した不揮発性記憶装置（以下、多値メモリという）では、例えばDRAMのように電荷保持特性を保証するためのリフレッシュ機能を備えたものがなく、このためメモリトランジスタの微細化、特にトンネル酸化膜の薄膜化にともない、電荷保持特性を長期にわたって保証することが難しくなってきた。

【0005】 図5は、電荷蓄積層として窒化シリコン膜を用いたMONOS（Metal Oxide Nitride Oxide Semiconductor）型のフラッシュEEPROMについて、窒化シリコン膜中に蓄積された電荷の保持特性を示す図である。図中、横軸は、熱的にストレスを印加した時間を示し、縦軸はメモリトランジスタのしきい値電圧 V_{th} を示している。また、中間の窒化シリコン膜と上層酸化シリコン膜との膜厚は、それぞれ8.3nm、4nmとし、窒化シリコン膜と半導体基板との間に介在させたトンネル酸化膜の膜厚 t_{ox} をパラメータとしている。

【0006】 図5から判るように、最初に正電圧に設定されたメモリトランジスタと、最初に負電圧に設定されたメモリトランジスタとは、ストレス印加時間の経過にともなって、互いのしきい値電圧が接近してくる。これは、電荷蓄積層としての窒化シリコン膜中に保持された電子が外部に抜ける現象を反映したものである。この現象は、熱放出モデルにしたがい、時間の経過にともなって電荷が自然放出することに加え、ストレスに起因するトンネル酸化膜のリーク電流増加に起因すると、一般に説明されている。また、微細化の進展にともなって（具体的には、トンネル酸化膜の膜厚 t_{ox} が薄くなるほど）、しきい値電圧の変動も激しく、今後、現在の最低保証期間である10年をクリアすることが、益々厳しくなる状況が予想される。さらに、図示のように、トンネル酸化膜とCVD法による窒化シリコン膜との界面特性を向上させるために、トンネル酸化膜の成膜後に予め行われるRTN（Rapid Thermal Nitritization）等の加熱プロセスによっても、電荷保持特性が劣化することが判っている。

【0007】 このような電荷保持特性の劣化が顕著になると、データの判別マージンが低下し、データの判別ができない、ひどい場合では他のデータに化けることもあり、メモリの信頼性を著しく損なうことになる。この電荷保持特性の劣化は、メモリのデータが2値であるか多値であるかを問わない共通した問題であるが、特に多値メモリの場合にあっては、多値化を進めれば、それだけ2値のときよりしきい値電圧の分布が互いに接近してくることから、なお一層、電荷保持特性の劣化がメモリの読み出し（データ判別）に与える影響が大きくなる。

【0008】 本発明は、このような実情に鑑みてなされ、多値メモリに適した電荷保持特性の劣化補償の手法を新たに提案し、これを用いた多値の不揮発性記憶装置

を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の多値化した不揮発性記憶装置（多値メモリ）では、特定トランジスタのしきい値電圧の変動を検出する検出手段と、この検出手段が特定トランジスタのしきい値電圧の変動を検出した場合、メモリセルに対し再度のデータ書き込みを行う再書込手段とを有することを特徴とする。

【0010】このデータの再書き込みは、通常、記憶データを一旦消去し、初期データを再び書き込むことにより行う。また、特に多値メモリにおいては、通常、ビットごとにしきい値電圧を検証し精密に制御することができるので、記憶データの消去は行うことなく、メモリトランジスタのしきい値電圧の変動分を補償するように、データを書き戻すことも可能である。これらによって、電荷保持特性の劣化補償を容易に行うことができる。

【0011】具体的には、例えば蓄積電荷が電子の場合、電子が抜けると正に設定されたしきい値電圧は下がるので、しきい値電圧分布の負電圧側で、その変動を検出するとよい。すなわち、この場合の検出手段は、特定トランジスタについて、そのしきい値電圧の書き込み直後の分布に対し、一方側に所定電圧だけなられた検出箇所、該検出箇所にしきい値電圧を有するか否かにより、しきい値電圧の変動を検出することを他の特徴とする。

【0012】しきい値電圧の変動検出は、定期的に行うほか、例えば書き換えがない時間や書き換え回数に応じて非定期的に行ってもよい。何れの場合でも、内蔵タイマで検出タイミングを付与すると、定期時間や書き換えがない時間の計測、或いは書き換え回数に応じて定期時間を短縮する等の処理ができる。

【0013】電荷蓄積層が、例えば窒化シリコン膜等の絶縁膜である場合、これが導電膜である場合に比べ電荷保持特性の劣化が激しいので、本発明の適用による劣化補償の効果が大きい。また、低電圧化のためには、蓄積電荷はトンネル酸化膜中をダイレクトトンネリングで遷移させるとよい。

【0014】

【発明の実施の形態】以上の説明からも明らかなように、本発明の不揮発性記憶装置は、電氣的にデータの書き換えができ、多値化が可能な不揮発性メモリ、例えばEEPROM、フラッシュEEPROM等である。

【0015】以下、本発明に係る不揮発性記憶装置の一例として、フラッシュEEPROMを、図面にもとづいて詳細に説明する。図1は、本発明に係わるフラッシュEEPROMについて、その要部を示す概略構成図である。図2は、NOR型のフラッシュメモリセルアレイを一部拡大して示す回路図、図3は、このメモリセルアレイを構成するメモリトランジスタの略断面構造図であ

る。

【0016】このフラッシュEEPROM2は、大別すると、図1に示すように、多数のメモリセルで構成されたフラッシュメモリセルアレイ4と、このメモリセルアレイ4にデータを書き込み、消去、読み出すための周辺回路6とから構成されている。周辺回路6には、ここでの図示は省略するが、各種のデコーダやバッファ回路のほか、センスアンプ、入出力コントロール回路、クロック発生回路等を含んで構成されている。また、通常、メモリセルアレイ4に正確にデータを書き込むためのベリファイ回路をも含んでいることも多い。

【0017】本発明に係わるフラッシュEEPROM2は、そのセル方式に特に限定はなく、NOR型の他に、NAND型、DINOR (Divided bit line NOR) 型等、何れのセル方式であってもよい。具体的なメモリセルアレイ4の回路構成を、例えば図2に示すNOR型において説明しておく、このメモリセルアレイ4には、多数のメモリトランジスタ $MT_{m-1,n-1}$ 、 $MT_{m-1,n}$ 、 $MT_{m-1,n+1}$ 、 $MT_{m,n-1}$ 、 $MT_{m,n}$ 、 $MT_{m,n+1}$ 、 $MT_{m+1,n-1}$ 、 $MT_{m+1,n}$ 、 $MT_{m+1,n+1}$ がマトリックス状に配置されている。そして、これらメモリトランジスタは、横方向にワード線 WL_{m-1} 、 WL_m 、 WL_{m+1} で相互接続され、縦方向にビット線 BL_{n-1} 、 BL_n 、 BL_{n+1} 及び共通ソース線 SRL で相互接続されている。

【0018】本発明における各メモリトランジスタは、メモリセルごとに配置され、それぞれ記憶データを電荷として蓄積する電荷蓄積層を備えている。また、この電荷蓄積層の注入電荷量を変えてメモリトランジスタのしきい値電圧を調整してあることで、各メモリセルに書き込み可能なデータを3値以上として、多値化されている。

【0019】電荷蓄積層としては、フローティングゲート等の導電層であるか、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型や、更には上層絶縁膜を省略したMNOS (Metal Nitride Oxide Semiconductor) 型のように絶縁層であるかを問わず、又、その材質に限定はない。

【0020】以下、具体的なメモリトランジスタの構成を、例えば図3に示すMONOS型において簡単に説明しておく。図3中、符号10は、例えばp型の不純物を導入して導電化された半導体基板を示し、この半導体基板10の表面には、ONO (Oxide Nitride Oxide) 膜12を介してゲート電極14が形成されている。ONO膜12は、基板表面側の下層酸化膜（トンネル酸化膜16）と、中間の窒化膜（窒化シリコン膜18）と、上層酸化膜20とで構成されている。トンネル酸化膜16の膜厚は、特に限定はないが、後で詳述するように、データ保持特性の劣化を一方方向に揃える等の意味では、4nmより薄くすることが望ましい。このMONOS型では、中間の窒化シリコン膜18が上記した電荷蓄積層と

10

20

30

40

50

して機能し、このトラップに電荷を蓄積する。ゲート電極 14 は、例えばポリシリコン膜、ポリシリコン膜上にシリサイド膜（例えば WSi）を積層させたポリサイド膜等で構成される。

【0021】ONO 膜 12 及びゲート電極 14 の両側には、例えば酸化シリコン膜等からなるサイドウォール 22 が形成されている。また、トンネル酸化膜 16 の両縁から外側にかけての基板表面側には、それぞれ LDD と称される低濃度の不純物拡散領域（ n^+ 領域 24）が浅く形成されている。これに対し、サイドウォール 22 の外縁から外側にかけての基板奥側には、それぞれソース又はドレイン領域と称される高濃度の不純物拡散領域（ n^+ 領域 26）が深く形成されている。

【0022】特に図示しないが、この上には層間絶縁層を介して、A1 等の配線層が多層配線され、ゲート電極 14 やソース又はドレイン領域としての n^+ 領域 26 が、この多層配線等に接続されている。これにより、図 2 に示すワード線 W_{Lm-1} 、 W_{Lm} 、 W_{Lm+1} 、ビット線 B_{Ln-1} 、 B_{Ln} 、 B_{Ln+1} 、及び共通ソース線 SRL によるメモリトランジスタの相互接続がなされている。

【0023】このような構成の MONOS 型メモリトランジスタでは、無バイアス時においてもトンネル酸化膜 16 を挟んで基板表面にチャネルが形成されたディプレッション・トランジスタが用いられる。そのデータ書き込みは、ゲート電極 14 や n^+ 領域 26 に、所定のバイアスを印加して行う。たとえば、中央のメモリトランジスタ $MT_{m,n}$ にデータを書き込む場合、図 2 に例示したような条件でパルス電圧をワード線 W_{Lm} 及びビット線 B_{Ln} に印加すれば、共通ソース線 SRL から、電荷（この場合、電子）が図 3 の n^+ 領域 26 に供給される。そして、チャネル内を加速された電子は、ドレイン近傍のピンチオフ領域でチャネルホットエレクトロン（CHE）となってトンネル酸化膜 16 を突き抜けることで、電荷蓄積層としての窒化シリコン膜 18 に注入された後、そのトラップに蓄積される。電荷蓄積量は、パルス電圧の電圧と印加時間で決まる。

【0024】この電荷蓄積量に応じて、メモリトランジスタのしきい値電圧 V_{th} が正側にシフトし、メモリトランジスタがエンハンスメントモードに遷移する。前述したように、本発明に係わるメモリトランジスタは 3 値以上に多値化されている。図 4 は、4 値のデータをメモリトランジスタ内に記憶する場合を例示する。この図は、メモリセルアレイ 4 内のしきい値電圧 V_{th} の分布図であり、横軸は V_{th} を、縦軸は V_{th} が同一なメモリトランジスタの個数（度数）を示す。

【0025】図示のように、電荷が蓄積されていないディプレッションモードのメモリトランジスタ群を“0”とすると、電荷蓄積量が多くなり V_{th} が高くなる方向へ順に、エンハンスメントモードのメモリトランジスタ群

“1”，“2”，“3”が離散的に分布している。通常、データの判別を容易にするため、図示のように、各分布間には書き込みの禁止領域が設定され、この禁止領域に対してマージンをもってデータ書き込みが行われている。このように正確なデータの書き込み（蓄積電荷量の調整）は、上記したデータ書き込みの際に、前記ペリファイ回路により、その値を検証しながら V_{th} を精密制御することにより達成される。

【0026】他方、この NOR 型セルでは、そのデータ消去時には、特に図示しない所定のバイアス条件下、蓄積電荷が FN（Fowler Nordheim）トンネルリングにより引き抜かれる。ところで、図 5 で、先に従来技術の問題点として指摘したように、EEPROM では、電荷蓄積層（例えば、窒化シリコン膜 18）に一旦蓄積された電荷が、長時間放置されると、熱放出モデルにしたがい、或いはストレスにより徐々に基板側に抜けて、電荷保持特性が劣化するという問題がある。

【0027】この問題に対処するために、本発明に係わるフラッシュ EEPROM 2 では、この特性劣化を補償するための幾つかの手段を有して構成されている。すなわち、図 1 に示すように、周辺回路 6 内には、メモリトランジスタのしきい値電圧 V_{th} の変動を検出する検出手段としてのしきい値変動検出回路 30 と、このしきい値変動検出回路 30 が V_{th} の変動を検出するタイミングを付与するためのタイマ 32 と、しきい値変動検出回路 30 がメモリトランジスタの V_{th} 変動を検出した場合、メモリセルに対し再度のデータ書き込みを行う再書込手段としての再書込回路 34 とが設けられている。

【0028】この劣化補償の動作を更に詳しく説明すると、まず、タイマ 32 から、しきい値変動検出回路 30 に V_{th} の変動検出を指示する検出タイミング信号 S_1 が、例えば月に一度といった定期的に、或いは非定期的に出力される。非定期的な場合の具体例としては、例えば電源を入れる毎に検出タイミング信号 S_1 を出力させるようにしたり、書き換えの有無を監視しておき、書き換えがない時間が所定時間を越えたら検出タイミング信号 S_1 を出力させるようにしてもよい。また、例えば書き換え頻度とデータ判別の限界となる最長の電荷保持時間（限界保持時間）との関係を示すテーブルを、予めメモリに格納しておき、書き換えの頻度を監視して、読みだしたテーブルを参照しながら、書き換え頻度が大きければ早めに検出タイミング信号 S_1 を出力させ、書き換え頻度が小さければ検出タイミング信号 S_1 を出力させる時期を遅らせるようにしてもよい。なお、これら非定期的な場合の処理（電源や書き換えについての監視、テーブルの読出し等）は、タイマ 32 側に限らず、しきい値変動検出回路 30 側で制御するようにしても構わない。この場合、検出タイミング信号 S_1 は、時間情報の信号である。

【0029】検出タイミング信号 S_1 の入力により、し

10

20

30

40

50

きい値変動検出回路30が、メモリセルアレイ4に対し、その特定トランジスタのしきい値電圧 V_{th} の変動検出を行う。すなわち、図2に示すように、検出開始信号S2を特定トランジスタに出力し、その V_{th} の変動を検出信号S3として入力する。

【0030】具体的には、例えばメモリセルと同等なストレスを受けるリファレンスセルを、予めメモリセルアレイ4内に設けておき、そのリファレンストランジスタの V_{th} がずれているか否かをみる。メモリセルアレイ4の面積が広い場合は、リファレンスセルを、例えばメモリセルアレイ4を構成するブロックやワード線セクタごとに設けてもよい。また、リファレンスセルを設けずに、正規のメモリトランジスタについて V_{th} のずれを検出するようにしてもよい。検出する正規のメモリセルの指定は、リファレンスセルの配置と同様に、任意である。

【0031】この V_{th} のずれを検出するためには、蓄積電荷（電子）が抜けることで V_{th} は負側にシフトするので、図4に示すように、しきい値電圧分布“1”，“2”，“3”に対しては、その負電圧側に ΔV_{th} 幅の検出箇所を設定し、この所定幅内に V_{th} が入る特定トランジスタの有無を検知する。この検出箇所は任意であり、どのしきい値電圧分布に対して設定してもよいが、一般には、蓄積電荷量の多い高 V_{th} 側の分布“3”の変動量が大きいと考えられることから、高 V_{th} 側の分布“3”の負電圧側に所定距離をおいて設定するとよい。 V_{th} 分布に対する検出箇所の位置は、特に限定はないが、例えば図示のように、禁止領域の正電圧側端に設けることができる。

【0032】このようにして、しきい値変動検出回路30が V_{th} 変動があったと判断すると、しきい値変動検出回路30からは、再書込開始信号S4が、再書込回路34に出力される。再書込開始信号S4を入力した再書込回路34は、図1に示すように、メモリセルアレイ4に対し、データの再書き込みをかける。

【0033】この再書き込みは、全てのメモリセルについて行ってもよいが、一部のメモリセルのみについて行ってもよい。例えば、リファレンスセルをモニタする場合は、 V_{th} 変動があったリファレンスセル周囲のメモリセルについてのみ、ブロックやワード線セクタ等の所定単位で、データの再書き込みを行ってもよい。また、正規のメモリセルをモニタする場合は、所定単位のほか、モニタしたメモリセルのみデータの再書き込みを行ってもよい。

【0034】このデータの再書き込みは、通常、記憶データを一旦消去し、初期データを再び書き込むことで行う。また、記憶データを消去せずに行う方法もある。すなわち、多値メモリでは、通常、ビットごとにしきい値電圧を検証し精密に制御することができるので、記憶データの消去は行わずに、メモリトランジスタのしきい値

電圧の変動分の電荷量を補償するように、データを書き戻すことも可能である。これらのデータ再書き込みにより、電荷保持特性の劣化補償を容易に行うことができる。

【0035】このように、電荷蓄積層が窒化シリコン膜等の絶縁膜であるMONOS型（又はMNOS型）では、電荷蓄積層が導電膜である場合に比べ電荷保持特性の劣化が激しいので、本発明の適用による劣化補償の効果が大きい。なお、本発明は、上記説明に限定されるものではない。

【0036】たとえば、上記説明では、セル方式はNOR型でMONOS型のメモリトランジスタを有する場合を例示し、電荷注入はチャネルホットエレクトロン（CHE）によるものとした。しかし、低消費電力化を理由に、特にNAND型やDINOR型では、NFトンネリングによる電荷注入も可能である。また、低電圧化のため、ダイレクトトンネリングを利用してもよい。

【0037】本発明者らは、前記したトンネル酸化膜18の膜厚を4nmより薄くすると、電荷の突き抜けがNFトンネリングからダイレクトトンネリングに移行し、その膜厚が3～4nmの範囲では、 V_{th} の変動方向を一方に揃えることができることを確認した。この膜厚範囲で V_{th} の変動方向を一方に揃えることができるのは、電子が抜ける際に正孔が電荷蓄積層に基板側から入ることがなく、このためバイアス印加時にディプレッション領域が形成されるようなことがないためと考えられる。

【0038】これは、図4では、低 V_{th} 側の分布“0”の V_{th} 変動が殆どなくなることを意味する。また、データ書き込みの際に周囲に接続されたメモリセルが影響を受ける、いわゆるソフトライトがあっても、しきい値電圧の変動方向を一方に予め揃えておけば、これが周囲のメモリセルにとってもしきい値電圧の補償方向と一致するので、この意味で好ましい。

【0039】

【発明の効果】以上説明してきたように、本発明に係る不揮発性記憶装置によれば、多値メモリにおいて、電荷保持特性の劣化補償を容易に行うことができる。この結果、多値化して実質的な高集積化を図り、しかも信頼性が高い不揮発性記憶装置を提供することが可能となった。

【図面の簡単な説明】

【図1】本発明に係わるフラッシュEEPROMについて、その要部を示す概略構成図である。

【図2】図1のフラッシュEEPROMに採用可能な、NOR型のフラッシュメモリセルアレイを一部拡大して示す回路図である。

【図3】図1のフラッシュEEPROMに採用可能な、MONOS型のメモリトランジスタの略断面構造図である。

【図4】図1のフラッシュEEPROMにおいて、多値

化の例として、4値のデータをメモリトランジスタ内に記憶する場合のメモリセルアレイ内のしきい値電圧 (V_{th}) の分布図である。

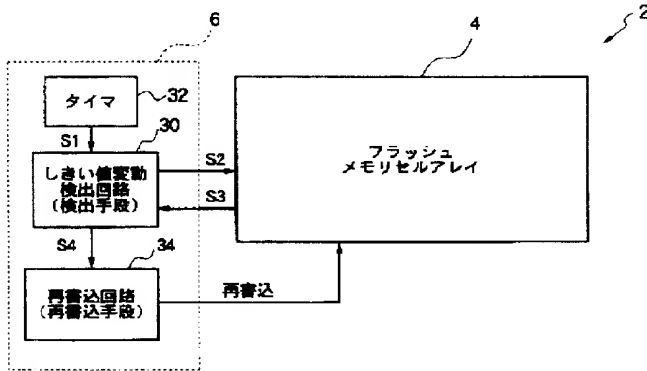
【図5】従来技術の問題点説明のために、MONOS型のフラッシュEEPROMについて、窒化シリコン膜中に蓄積された電荷の保持特性を示す図である。

【符号の説明】

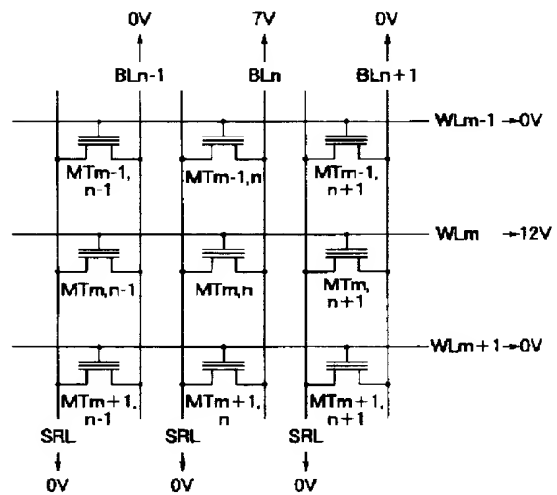
2…フラッシュEEPROM (不揮発性記憶装置)、4…フラッシュメモリセルアレイ、6…周辺回路、10…半導体基板、12…ONO膜、14…ゲート電極、16*10

*…トンネル酸化膜、18…窒化シリコン膜 (電荷蓄積層)、20…上層酸化膜、22…サイドウォール、24… n 領域、26…ソース又はドレイン領域としての n 領域、30…しきい値検出回路 (検出手段)、32…タイマ、34…再書込回路 (再書込手段)、 $MT_{m,n}$ …メモリトランジスタ、 WL_{m-1} , WL_m , WL_{m+1} …ワード線、 BL_{n-1} , BL_n , BL_{n+1} …ビット線、 SRL …共通ソース線、 $S1$ …検出タイミング信号、 $S2$ …検出開始信号、 $S3$ …検出信号、 $S4$ …再書込開始信号。

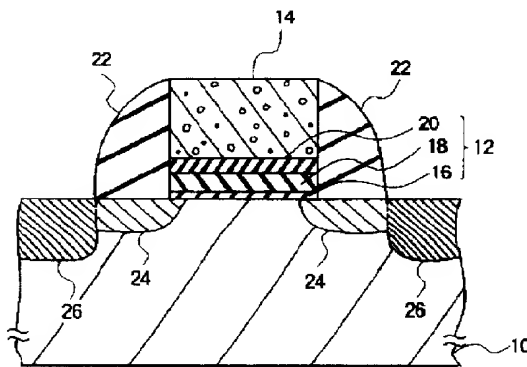
【図1】



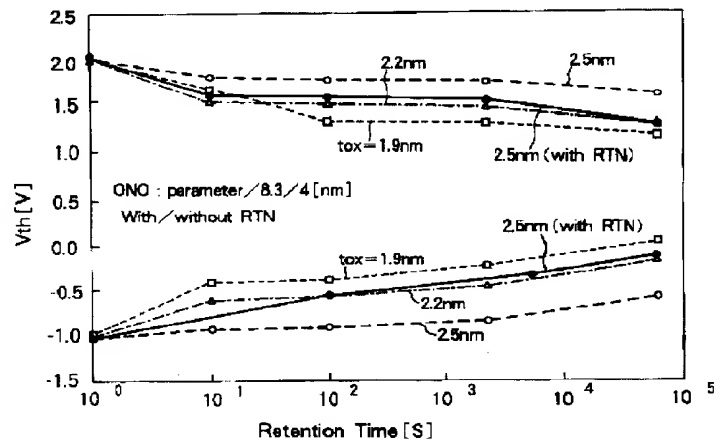
【図2】



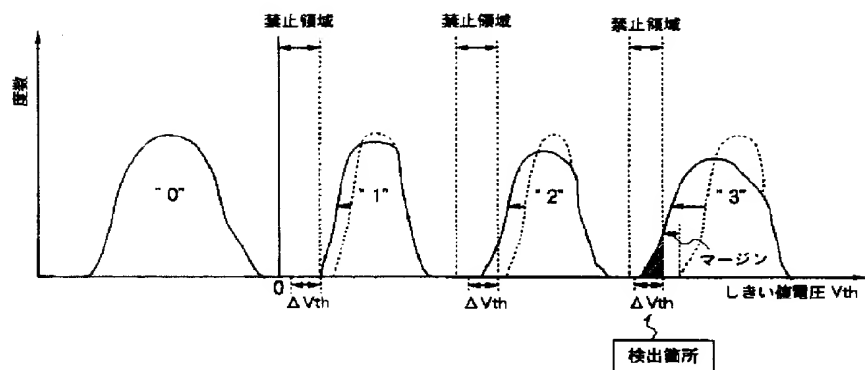
【図3】



【図5】



【図4】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/792

識別記号

片内整理番号

F I

技術表示箇所